

(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-91438

(P2000-91438A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)Int.Cl. ⁷	識別部号	F I	テマコード*(参考)
H 0 1 L 21/82		H 0 1 L 21/82	F
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 J
H 0 1 L 27/108		H 0 1 L 21/82	R
21/8242		27/10	6 9 1

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21)出願番号 特願平11-238606

(22)出願日 平成11年8月25日(1999.8.25)

(31)優先権主張番号 09/140573

(32)優先日 平成10年8月26日(1998.8.26)

(33)優先権主張国 米国 (U S)

(71)出願人 390039413

シーメンス アクチエンゲゼルシャフト

SIEMENS AKTIENGESEL

LSCHAFT

ドイツ連邦共和国 D-80333 ミュンヘン

ヴィッテルスバッハープラッツ 2

(74)代理人 100061815

弁理士 矢野 敏雄 (外2名)

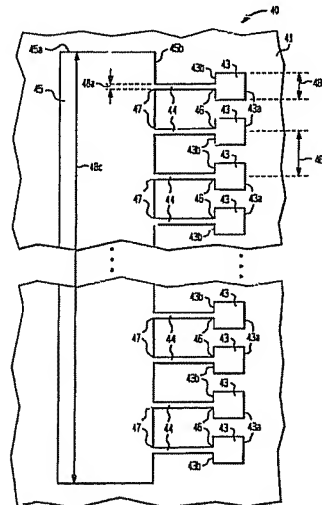
最終頁に続く

(54)【発明の名称】 半導体デバイスとその製造方法

(57)【要約】

【課題】 高々およそ10ボルトの電圧において、近傍ヒューズへの接近を制限することなく、または隣接しているヒューズ間のピッチ減少を妥協させることなく、電氣的溶断を可能にする、最適な幾何学形状のヒューズを持つ冗長作用回路装置を提供すること。

【解決手段】 表面上にヒューズのアレーを持つ1つの基板を含み、該ヒューズは接近して隣接配置された選択性の断面領域の複数のヒューズリンクを含んでおり、各ヒューズリンクはその一方の端で、ヒューズリンクのそれよりもより大きな断面領域の個別のコネクタ端子に接続され、そしてその他端で、個別のコネクタ端子のそれよりもより大きな断面領域の共通コネクタ端子に接続されていることを特徴とする半導体デバイスを構成する。



【特許請求の範囲】

【請求項1】 表面上にヒューズのアレーを有する1つの基板を含み、

該ヒューズは接近して隣接配置された選択性の断面領域の複数のヒューズリンクを含んでおり、

各ヒューズリンクはその一方の端で、ヒューズリンクのそれよりもより大きな断面領域の個別のコネクタ端子に接続され、そしてその他端で、個別のコネクタ端子のそれよりもより大きな断面領域の共通コネクタ端子に接続されている、ことを特徴とする半導体デバイス。

【請求項2】 共通コネクタ端子の断面領域が、個別ヒューズリンクのその少なくとも約2倍あることによって、高々約10ボルトの電圧において電氣的溶断を可能とする、請求項1記載の半導体デバイス。

【請求項3】 電子流が共通コネクタ端子からヒューズリンクに向かっているような、そこにあるヒューズリンクがオープンとされるべき時間の間は、共通コネクタ端子が個別のコネクタ端子の1つほどには正でない電位に保持されている、請求項1記載の半導体デバイス。

【請求項4】 共通コネクタ端子が、それへの各ヒューズリンクの接続のポイントにおいて局部的に刻み目を持つ、請求項1記載の半導体デバイス。

【請求項5】 ヒューズのアレーが複数の絶縁材料層のうちの2つの絶縁材料層間に包み込まれるような絶縁材料の複数の層をさらに含み、2つの層の1つがヒューズのアレーに対して下に横たわる関係で配置され、そして2つの層の他の1つはヒューズのアレーに対して上に横たわる関係で配置され、

電氣的接触は絶縁材料の層のそれぞれの開口内に、ヒューズのアレーに対して上に横たわる関係に形成され、その開口は相応的に個別のコネクタ端子および共通コネクタ端子の部分を露出させる、請求項1記載の半導体デバイス。

【請求項6】 半導体デバイスにおいて、その表面上に、冗長作動配線またはカスタム配線用のアレー状の電氣的ヒューズのバンクを有する1つの基板を含み、

ヒューズは複数のヒューズリンクを含み、ヒューズリンクの各々はその一端で、ヒューズリンクのそれよりもより大きな断面領域の個別のコネクタ端子に接続され、そしてその他端で、個別のコネクタ端子のそれよりもより大きな断面領域の共通コネクタ端子に接続され、

電子流が共通コネクタ端子からヒューズリンクに向かっているような、そこにあるヒューズリンクがオープンとされるべき時間の間には共通コネクタ端子は個別のコネクタ端子の1つほどには正でない電位に保持されている、ことを特徴とする半導体デバイス。

【請求項7】 共通コネクタ端子の断面領域が、個別のヒューズリンクのその少なくとも約2倍であって、高

々約10ボルトの電圧で電氣的に溶断することができる、請求項6記載の半導体デバイス。

【請求項8】 共通コネクタ端子は、それへの各ヒューズリンクの接続ポイントにおいて局部的に刻み目を持つ、請求項6記載の半導体デバイス。

【請求項9】 さらに絶縁材料の複数の層を含み、ヒューズのアレーが絶縁材料の複数の層のうちの絶縁材料の2つの層の間に包み込まれ、

2つの層の一方はヒューズのアレーに関して下に横たわるように配置され、そして2つの層の他方はヒューズのアレーに関して上に横たわるように配置され、電氣的接触がヒューズのアレーに関して上に横たわるような絶縁材料の層のそれぞれの開口内に形成され、

その開口は相応的に個別のコネクタ端子および共通コネクタ端子の部分を露出させる、請求項6記載の半導体デバイス。

【請求項10】 その表面上に冗長作動用配線および／またはカスタム配線ヒューズのアレーを有する1つの基板を含む半導体デバイスにおいて、

選択的な断面領域の複数の個別のコネクタ端子を含み、各々の個別のコネクタ端子は、その末端からその中間端にまで長さ方向に伸び、そして接近して隣接的に横並びに配置され、

各個別のコネクタ端子の中間端から伸び、そして個別のコネクタ端子のそれよりもより小さな断面領域である1つのヒューズリンクと、

各個別のコネクタ端子のそれよりもより大きな断面領域の1つの共通コネクタ端子とを含み、

共通コネクタ端子は個別のコネクタ端子の横並び配置の横方向に伸び、そしてその長さに沿って各隣接ヒューズリンクに接続され、

共通コネクタ端子の断面領域は個別のヒューズリンクのその少なくとも約2倍であり、

電子流が共通コネクタ端子からヒューズリンクへと向かうような、そこにあるヒューズリンクがオープンとされるべき時間の間には共通コネクタ端子は個別のコネクタ端子の1つほどには正でない電位における接続のために配置されている、ことを特徴とする半導体デバイス。

【請求項11】 共通コネクタ端子が、それへの各ヒューズリンクの接続のポイントにおいて局部的に刻み目のある、請求項10記載の半導体デバイス。

【請求項12】 さらに絶縁材料の複数の層を含み、ヒューズのアレーは複数の絶縁材料の層の、2つの絶縁材料の層の間に包み込まれ、

2つの層の1つはヒューズのアレーに関して下に横たわるように配置され、そして2つの層の他方はヒューズのアレーに関して上に横たわるように配置され、

電氣的接触はヒューズのアレーに関して上に横たわるような絶縁材料の層のそれぞれの開口内に形成され、

この開口は相応的に個別のコネクタ端子および共通コネ

クタ端子の部分を露出させる、請求項10記載の半導体デバイス。

【請求項13】 半導体デバイスの基板の表面上のヒューズのアレーにおいて、接近して隣接配置された選択的な断面領域の複数のヒューズリンクを含み、各ヒューズリンクはその一方の端で、ヒューズリンクのそれよりもより大きな断面領域の個別のコネクタ端子に接続され、そしてその他端で、個別のコネクタ端子のそれよりもより大きな断面領域の共通コネクタ端子に接続される、ことを特徴とするヒューズのアレー。

【請求項14】 冗長作動用配線および/またはカスタム配線ヒューズを提供するための半導体デバイスを製造する方法において、基板の表面上に第1絶縁層を提供するステップと、第1絶縁層の上に、接近して隣接配置された選択的な断面領域の複数のヒューズリンクを含むヒューズのアレーを提供するステップとを含み、ヒューズリンクの各々はその一方の端で、ヒューズリンクのそれよりもより大きな断面領域の個別のコネクタ端子に接続され、そしてその他端で、個別のコネクタ端子のそれよりもより大きな断面領域の共通コネクタ端子に接続され、第1および第2絶縁層の間にヒューズのアレーを十分に包み込むように、第1絶縁層およびヒューズのアレーの上に第2絶縁層を提供するステップと、個別のコネクタ端子および共通コネクタ端子の相応する部分を露出させるために第2絶縁層内にそれぞれの開口を提供するステップと、個別のコネクタ端子および共通コネクタ端子のために、その開口内に電気的接触部を提供するステップとを含む、ことを特徴とする半導体デバイスを製造する方法。

【請求項15】 高々約10ボルトの電圧において電気的溶断を可能とするために、共通コネクタ端子の断面領域が個別のヒューズリンクのそれの少なくとも2倍である、請求項14記載の方法。

【請求項16】 共通コネクタ端子が、それへの各ヒューズリンクの接続ポイントにおいて局部的に刻み目を持つ、請求項14記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体内において用いるのに適する、きついピッチを持つ電気的に作動されるヒューズに、そして特に、半導体デバイスにおいてきついヒューズピッチを可能としながら、一方では冗長作動用またはカスタム配線用の溶断動作の間において、望ましいピッチ減少を妥協させることなく約10ボルト以下の電圧で電気的溶断を可能とするように最適化された電気的ヒューズの設計および製造方法に関する。

【0002】

【従来の技術】集積回路(IC)シリコンのようなウェハ基板またはチップ上にマイクロエレクトロニクス半導体デバイスを製造する際には、種々の金属層および絶縁層が、選択されたシーケンスに従って蒸着される。より多くのコンポーネントを同じエリアに配置する目的で、利用可能な基板エリア上のデバイスコンポーネントの集積度を最大にするためには、増し加えられたIC最小化が利用されなくてはならない。今日では、超大规模集積回路(VLSI)用の多くのコンポーネントの高密度パッキングのために、減じられたピッチ寸法、たとえばサブミクロン(1ミクロン、すなわち1,000ナノメータまたは10,000オングストローム、以下)の寸法、が必要とされている。

【0003】冗長技術は、回路不良の可能性を減少させるために、そしてそれによって回路信頼性を増加させるために、回路コンポーネントの故意の重複を提供するようにして半導体製造において用いられている。回路内で生じることのある欠陥をオフセットするために、所定回路コンポーネントの多数のコピーを並列に接続しておき、特定コンポーネントの欠陥があっても動作を継続できるように備える。そのような多数コンポーネントの各々には、1組のヒューズが設けられ、そのヒューズは例えば最終ICチップ試験のような冗長作動用のヒューズ動作の間において、重複している1つのコンポーネントによって1つの不良コンポーネントを置換するために破断されることができる。

【0004】いくつかのICは、ヒューズに結合している複数半導体デバイス間の導電性リンクを有している。このヒューズは製造の後にレーザー切断(破断)されることができる。こうして、ダイナミックランダムアクセスメモリ(DRAM)回路においては、ヒューズはトランジスタゲートスタックを、保護している。IC製造の後には、このヒューズは破断されて、あたかも保護用電流パスが動起されたことがないかのように、DRAM回路が機能できるようにさせることが可能である。

【0005】しかも、ヒューズはDRAM回路内の冗長アレー素子のイネーブルビットおよびアドレスビットをセットするのに使用される。メインメモリ回路に含まれる欠陥メインメモリアレーを置換するために、冗長アレーが備えられている。この冗長アレーはヒューズラッチアレーおよびヒューズでコーダアレーを通してそこに結合されているヒューズアレー内に複数のヒューズを有している。欠陥メインメモリアレー素子を置換する上では、ヒューズアレー内の個別のヒューズが破断させられて、デコーダ回路による要求に従って、それらの値は「1」または「0」のいずれかにセットされる。動作の間には、ヒューズアレー内のヒューズの値は、パワーアップの際にヒューズラッチアレー内にロードされ、そしてそれらの値は次に、稼働時間においてはヒューズでコーダ回路によってデコードされる。このことは、冗長ア

レーの特定の冗長素子によって特定の不良メインメモリアレー素子を置換することを促進させる。このすべては、よく知られている技術である。

【0006】特に、高密度DRAMは一般的に、メモリセル冗長を用いて設計される。これによって冗長メモリセルは、メモリセル内のわずかな数が機能不良となったときにメモリ全体を損失することを回避できる。冗長メモリセル作動はメモリを通して設けられているヒューズを選択的に破断させることによって実行される。1組のヒューズを破断させることは、欠陥あるメモリセルをデイスエーブルとし、そして冗長メモリセルをその代わりにイネーブルとする。

【0007】ヒューズはまた、エンドユーザの要求に従って、カスタム配線動作のために適応させるよう、半導体デバイスモジュールのIC内に組み込まれることもできる。回路内のヒューズを選択的に破断させることによって、半導体デバイスモジュールは特定の目的に対してカスタマイズされる。

【0008】ヒューズ破断はヒューズを加熱してそれを溶解させ、欠陥のあるメモリセルまたは他のコンポーネントを機能的なセルまたは異なるコンポーネントによって置換するように、オープン回路を形成することによって実行される。ヒューズは普通、アルミニウム、銅または他の高度に導電性の金属または金属合金である。そしてヒューズはその端（接続末端）よりも小さな断面エリアの中央部分またはヒューズセグメント（ヒューズリンク）を有している。その部分はより小さなエネルギーでヒューズ溶解し、オープン回路条件を形成する。

【0009】ヒューズの溶解（破断）は、制御されたレーザービームによって実行される。このことはヒューズリンク付近のエリアに、主としてレーザーエネルギーを吸収することによって生じるレーザー誘発形損傷を与える結果となりうる。そうでなければ、電氣的ヒューズはそこに大電流を印加して電力を用いてヒューズリンクを加熱することによって、そのような損傷なしで破断されることが可能である。

【0010】半導体デバイスにおいて約10ボルト以下の電圧で電氣的にヒューズ破断させるためには、コネクタ端子から電氣的ヒューズセグメント（ヒューズリンク）への断面エリア節減が可能な限り大きいことが重要であり、5または10よりも大きいことが好都合である。しかしながら、そのような大きなコネクタ端子は隣接ヒューズの接近度を制約してしまう。

【0011】電氣的ヒューズの作動に必要な電圧はヒューズの形態に極めて敏感である。ヒューズの形状、その線形度、そしてコネクタ端子のサイズは全て、ヒューズを破断させるのに必要な電圧に影響する。そのため、ヒューズ形態を最適化することは重要なことである。

【0012】電氣的ヒューズは基本的に、例えば金属または金属性材料の、回路開放形可溶性（溶融性）導電消

耗形過電流保護デバイスであり、そこを過電流が通過することによりヒューズセグメント（ヒューズリンク）が加熱され、そして破壊される。過電流は、通常レベルを越えてヒューズリンクを加熱する。通常レベルにおいては、発生される抵抗性発熱の放射損失がヒューズの温度を溶解温度よりも下に維持している。ヒューズリンク抵抗は特に、それが作られる材料、その断面エリア、その長さおよびその温度によって決められる。

【0013】あらゆる導電性ワイヤと同様に（そしてそれが作られている材料およびその温度に関わりなく）、ヒューズリンクまたはコネクタ端子の長さが2倍になれば、その抵抗もまた2倍になり、一方その断面エリアが2倍になれば、その抵抗は半分になる。端的に言えば、ヒューズリンクまたはコネクタ端子の抵抗は直接的にその長さに比例し、そしてその断面エリアに逆比例する。

【0014】ヒューズ装置を持つ半導体デバイス製造のいくつかの例が、以下の従来技術に示されている。

【0015】(1) 1987年1月13日に出願された米国特許第4,635,345号（ハンキンス他）は、半導体デバイス内の基板上のコンポーネント密度を増加させるための、水平的（2次元）ではなく垂直的（3次元）な、ICメモリアレー内のヒューズを開示している。薄い酸化物の可溶性素子（ヒューズリンク）がバイポーラ抵抗のボトム電極（ボトムコネクタ端子）を形成するエミッタ領域と、例えばアルミニウムであるトップ電極（トップコネクタ端子）との間に設けられる。例えば12〜14ボルトの電圧をトップ電極とエミッタとの間に印加すると、薄い酸化物ヒューズが破断され、その結果トップ電極がエミッタと接触状態になる。これはまた、アンチヒューズとして知られている。

【0016】(2) 1995年7月25日に出願された米国特許第5,436,496号（ジェロム他）は、半導体デバイス内における基板コンポーネント密度を増加させるための、IC内の垂直ヒューズを開示している。各ヒューズは製造の後に選択的に永久的にプログラムされることが可能であり、そしてこのヒューズ構造は埋め込みコレクタ、重なっているベース、およびベースの上方のエミッタを含んでいる。このエミッタは、その上面に、例えばアルミニウムの、金属接触部を有している。電流または電圧パルスによって金属接触部/エミッタインターフェースをその溶融ポイントまで過熱することによって、アルミニウムはエミッタを通してベースに短絡し、それによってヒューズをプログラミングすることができる。垂直ヒューズは機能的にフローティングペー 스트ランジスタをダイオードに変更される。

【0017】(3) 1991年5月の日本国特開報平403124047号明細書（サイトウ）の英語要約は、半導体デバイスの限られた基板エリア内におけるヒューズ長を増加させるための、基板上のICにおける垂直U字形配置内の多結晶シリコンヒューズリンクを開示して

いる。

【0018】(4) 1994年5月17日出願された米国特許第5,313,424号(アダムス他)は、アンチヒューズ技術を基にして電氣的に破断されるヒューズ回路を持つ半導体基板を開示している。例えば添加物再配分によってわずか50%しかない抵抗減少は、所定ヒューズを「破断」させた状態を呈する。冗長システムはその中の不良素子を位置決めするためにメモリアレーを試験するための回路と、不良素子のアドレスを蓄積するためのレジスタと、そしてレジスタ内に蓄積されているアドレスの二進値に応答して単独入力から半導体デバイスにイネーブル信号を印加することによって破断される電氣的ヒューズを含んでいる。プログラム可能な冗長性は、例えばプログラム可能なアンチヒューズ回路における多結晶シリコンヒューズリンク内の添加物再配分による抵抗減少を感知することによって提供される。

【0019】(5) 1995年5月30日出願された米国特許第5,420,456号(ガルビ他)は、半導体製造の間に基板上のIC内に冗長作用用配線またはカスタム配線を設定する際にヒューズを破断するのにドライバトランジスタに必要な電力を節減するための曲がりを持つヒューズリンクを開示している。述べられた破断制御回路を使用して、等しい横断面領域を持つまっすぐなヒューズに必要な入力電流密度のおよそ10%だけでヒューズを破断させることができる。これは湾曲部内面の角における電流の集中のためである。この部分は電流密度を強調し、そしてその結果、内面角において溶解を生じさせる。これは湾曲のときに起こる溶解の刻み目で強調されて、そしてヒューズリンク溶解を生じさせ、ヒューズリンク幅を横切って伝播される。この特許の内容は、参照されて本明細内に取り入れられている。

【0020】ヒューズを破断させるのに必要な電圧を下げるために、半導体デバイス内で使用される電氣ヒューズの形状を変えることが知られている。一般に、ヒューズは中央のヒューズリンクによって内部接続される1対のコネクタ端子を有している。何らかの差別的な抵抗発熱およびヒューズリンクの何らかの望ましい溶解を促進するために、ヒューズは最小限のヒューズピッチ断面領域のコネクタ端子と、そして減少された横断面領域のヒューズリンクを持つことができる。

【0021】第2に、例えば、1995年5月30日出願の前述の(5)米国特許第5,420,456号(ガルビ他)に指摘されているように、最小のヒューズピッチコネクタ端子装置の減少された横断面領域を持つヒューズリンクは、そこにおいてより局部的に優先的に溶解を促進するために曲げられることができる。

【0022】そして第3に、ヒューズリンクの最大化された差別的抵抗加熱を、そして最大化された優先溶解を促進するために、コネクタ端子の横断面の領域は、コネクタ端子の横断面の領域とヒューズリンクのそれとの間

の差異を最大にするように、最小のヒューズピッチを越えて増加されることができる。しかしながら、ヒューズリンクのこの最大にされた優先的溶解は、半導体デバイス回路のヒューズピッチを犠牲にして起こるものである。その理由は、コネクタ端子の横断面の領域における増加は、所定回路装置において、隣接しているヒューズの接近度を制限するからである。

【0023】

【発明が解決しようとする課題】高々およそ10ボルトの、そして10ボルト以下であることが望ましい電圧において、近傍ヒューズへの所定ヒューズの近接を制限することなく、または隣接しているヒューズ間の必要な最大のピッチ減少を妥協させることなく、電氣的断断を可能にする、最適な幾何形状のヒューズを持つ冗長作用用回路装置、または他の回路装置を持つことが望まれている。

【0024】

【課題を解決するための手段】上記の欠点は、きついヒューズピッチを可能にする電氣的ヒューズ構造を持つ半導体デバイスと、そしてその製造のための方法を提供する本発明によって克服される。

【0025】本発明の1つの特色によれば、その表面の上にヒューズのアレーを有する基板を含む半導体デバイスが提供される。このヒューズアレーは、密接に隣接している配置において選択的な断面領域の多くのヒューズリンクを含んでいる。それぞれのヒューズリンクは片端で、ヒューズリンクのそれよりもより大きな横断面領域を持つ個別のコネクタ端子に接続される。そして別の端においては、個別のコネクタ端子のそれよりもより大きな横断面領域を持つ共通のコネクタ端子に接続される。

【0026】高々およそ10ボルトの電圧での電氣的溶解を可能にするために、共通のコネクタ端子の横断面領域は、適切にも個別のヒューズリンクのその少なくともおよそ2倍である。共通のコネクタ端子は通常、そこにあるヒューズリンクがオープンとなっている。つまり電流が共通コネクタ端子からヒューズリンクに向かって時間の間には、個別のコネクタ端子の1つほどには正でない電位に保持されている。また、共通のコネクタ端子は局部的には、それぞれのヒューズリンクのそこへの接続ポイントにおいて刻み目をつけられていることが望ましい。

【0027】特に、この半導体デバイスはさらに、複数の絶縁材料の層を含んでいる。ヒューズのアレーは、絶縁材料の複数層のうちの2つの層の絶縁材料の間に閉じ込められる。2個の層の1つはヒューズのアレーに対して下側に横たわるような関係で、そして2つの層の他方はヒューズのアレーに対して上に横たわるような関係で配列される。電氣接触は、ヒューズのアレーの上に横たわる関係にある絶縁材料の層のそれぞれの開口において形成される。その結果、この開口は個別のコネクタ端子

および共通コネクタ端子の部分を露出させる。

【0028】

【発明の実施の形態】本発明の望ましい実施例によれば、半導体デバイスはその表面上に、多くのヒューズリンクを含む冗長作動用配線またはカスタム配線のためのきついピッチのアレーとしての電気ヒューズのバンクを有する基板を含んでいる。ヒューズリンクの各々は、その一方の端でヒューズリンクのそれよりもより大きな断面領域の個別のコネクタ端子に接続されている。別の端においては、個別のコネクタ端子のそれよりもより大きな断面領域の共通コネクタ端子に接続されている。共通のコネクタ端子は通常、そこにあるヒューズリンクが動作している時間の間は個別のコネクタ端子の1つほどには正でない電位に保持されている。この動作時間においては電子は共通のコネクタ端子からヒューズリンクへの方で流れている。

【0029】特に、半導体デバイスはその表面上にきついピッチの、選択的な断面領域を持つ、複数の個別コネクタ端子を含む冗長作動用配線またはカスタム配線ヒューズのアレーを有する基板を含んでいる。各々はその末端からその中間端に向かって長さ方向に伸び、そして隣り合って接近している。ヒューズリンクは各個別コネクタ端子の中間端から伸び、そして個別のコネクタ端子のそれよりもより小さな断面領域である。各個別コネクタ端子のそれよりも大きな断面領域の共通コネクタ端子が設けられている。これは個別コネクタ端子の横並び配置に逆らって伸びており、そしてその長さに沿って各隣接ヒューズリンクに接続されている。

【0030】別の特色によれば、本発明は接近して隣接配置される選択的に断面領域の複数のヒューズリンクを含む、半導体デバイスの基板の表面上のヒューズのアレーを志向している。ヒューズリンクはその一方の端で、ヒューズリンクのそれよりもより大きな断面領域の個別のコネクタ端子に接続されており、そしてその他端で、個別のコネクタ端子のそれよりもより大きな断面領域の共通コネクタ端子に接続されている。

【0031】本発明の別の特色によれば、半導体デバイスを製造する方法は冗長作動用配線またはカスタム配線ヒューズの配置を達成するために備えられる。この方法は、基板の表面上に第1絶縁層を提供するステップと、第1絶縁層上にヒューズのアレーを提供するステップと、そして第1絶縁層およびヒューズアレー上に第2絶縁層を提供して第1および第2絶縁層の間にヒューズを十分に閉じ込めるステップとを含んでいる。ヒューズアレーは接近して隣接配置された選択的な断面領域の複数のヒューズリンクを含んでおり、各々は一方の端でヒューズリンクのそれよりもより大きな断面領域の個別のコネクタ端子に接続され、そして他端において個別のコネクタ端子のそれよりもより大きな断面領域の共通コネクタ端子に接続されている。

【0032】さらに、個別のコネクタ端子および共通コネクタ端子の相応する部分を露出させるために第2絶縁層内にそれぞれの開口を提供するステップと、そして個別のコネクタ端子および共通コネクタ端子のために開口内に電気的接触を提供するステップとが含まれる。

【0033】本発明は添付図面と請求範囲を含めて、以下の詳細な説明からより容易に理解できるであろう。

【0034】

【実施例】図面の理解を容易にするために図面類は正確な縮尺ではなく、いくつかの部分は誇張されていることに注意すべきである。

【0035】図1のa、bおよびcを参照すると、そこにはたとえば半導体デバイスにおいて冗長作動用の漸断動作のために用いることができる、3つの異なる従来技術形態の電氣的ヒューズが示されている。図1のaは半導体デバイス10、ウェファ基板11、コネクタ端子12および13、末端12aおよび13a、中間端12bおよび13b、ヒューズリンク14、および接続ポイント15および16を含んでいる。図1のbは、半導体デバイス20、ウェファ基板21、コネクタ端子22および23、末端22aおよび23a、中間端22bおよび23b、ヒューズリンク24、接続ポイント25および26、および頂点部分27を含んでいる。図1のcは、半導体デバイス30、ウェファ基板31、コネクタ端子32および33、末端32aおよび33a、中間端32bおよび33b、ヒューズリンク34、および接続ポイント35および36を含んでいる。

【0036】図1のaは、1対の対向したコネクタ端子12および13が備えられている、たとえばシリコンのウェファ基板11を持つ半導体デバイス10を示している。コネクタ端子12は、その末端12aにおいて（示されていない）回路部分に接続されており、そしてコネクタ端子13は末端13aにおいて（示されていない）別の回路部分に接続されている。）コネクタ端子12および13は、接続部15および16において、中央ヒューズリンク14によってそれらの対面する中間末端12bおよび13bにおいて相互接続されている。コネクタ端子12および13、並びにヒューズリンク14は普通、多結晶シリコン、たとえばケイ化タングステンのようなケイ化金属、たとえばアルミニウムまたは銅のような金属、または類似物のような導電性層材料で作られている。ここでヒューズリンク14は、都合よく溶断性（溶融性）でなくてはならない。

【0037】ヒューズリンク14は、ヒューズリンク14とコネクタ端子12および13との間の何らかの差動的抵抗性発熱を促進させるために、そしてヒューズリンク14の何らかの都合よく溶融を促進させるために、コネクタ端子12および13の最小断面領域に比較して減少された断面領域である。コネクタ端子12および13は普通、電氣的に導体である線に比較されるものであ

り、そして導体端子12および13のサイズ(幅)によってのみ制限される、隣り合った配置内においてきついピッチのアレーに、そのような複数のヒューズを含むのに許容されるサイズである。

【0038】図1のbは1対の対向するコネクタ端子22および23を備えたウェファ基板21を有する半導体デバイス20を示している。コネクタ端子22は、末端22aにおいて(示されていない)回路部分に接続され、そしてコネクタ端子23は末端23aにおいて(示されていない)別の回路部分に接続されている。コネクタ端子22および23は、接続ポイント25および26において、中央ヒューズリンク24によってそれらの対面する中間端22bおよび23bで相互接続される。

【0039】図1のbの半導体デバイス20は、ヒューズリンク24が頂点部分27を有する折れ曲がり(非一様)素子として備えられていることだけにおいて図1のaの半導体デバイス10と異なっているのみである。このことは、ヒューズ24とコネクタ端子22および23との間の差異抵抗性発熱と、そして特にヒューズリンク24の頂点部分27における好都合な局部的溶融とをさらに促進させるためのものである。

【0040】図1のbの半導体デバイス20は、1995年5月30日に出願された前記(5)米国特許第5,420,456号(ガルビ他)の折れ曲がりヒューズリンク構造によって型式分けされる。

【0041】図1のcは1対の対向するコネクタ端子32および33を備えたウェファ基板31を有する半導体デバイス30を示している。コネクタ端子32は、末端32aにおいて(示されていない)1つの回路部分に接続されており、そしてコネクタ端子33は、末端33aにおいて(示されていない)別の回路部分に接続されている。コネクタ端子32および33は、接続ポイント35および36において中央ヒューズリンク34によってそれらの対面中間端32bおよび33bにおいて相互接続されている。

【0042】図1のcの半導体デバイス30は、コネクタ端子32および33がヒューズリンク34のそれと比較して明白に増加された(最大化された)断面領域の広げられた素子として備えられている点で図1のaの半導体デバイス10と異なっているだけである。このことは、ヒューズ34とコネクタ端子32および33との間の差異抵抗性発熱と、そしてヒューズリンク34の好都合な溶融とをさらに(すなわち最大に)促進するものである。

【0043】図1のaに関するコネクタ端子12および13の最小断面領域よりも、図1のcに関するコネクタ端子32および33の断面領域を(最大に)増加させることは、最大化された差異抵抗性発熱と、そしてヒューズリンク34の最大化された好都合な溶融とを促進させる。このことは、ヒューズリンクのサイズ減少または断

面領域減少の程度に実際的な制限が存在するためであり、そしてそのため、断面差異における何らかのさらなる増加は、コネクタ端子のサイズまたは断面領域の増加を伴わなくてはならない。

【0044】しかしながら、以前に指摘したように、コネクタ端子の断面領域を、すなわちヒューズリンクに関して達成できる最小の実際的な断面領域において、増加させることは、ヒューズピッチにおいて半導体デバイス回路装置内の最小の望ましいヒューズピッチを越えて望ましくない増加となる。これはコネクタ端子(図1のc参照)の増加された断面領域がたとえば冗長作動用回路装置において隣接ヒューズの接近度を制限するためである。

【0045】以下に示されるように、図1のa、1のbおよび1のcの構造の従来技術の不都合は、本発明の装置によって克服される。本発明は最適形態のヒューズを持つ冗長作動用回路装置または他の回路装置の使用を意図している。これは所定ヒューズの隣接ヒューズへの接近度を制限するか、あるいは隣接ヒューズ間の望ましいピッチ節減を妥協させることなく、高々約10ボルトの、そして望ましくは10ボルト以下の、電圧において電気的な溶断を可能とする。

【0046】図2を参照すると、たとえば、ICチップ最終試験における半導体デバイス内の冗長作動用の溶断動作に関して利用可能な、あるいは他の目的に関して利用可能な、本発明による電氣的ヒューズの配置が示されている。図2は半導体デバイス40、ウェファ基板41、ヒューズアレー42、個別コネクタ端子43、末端43a、中間端43b、ヒューズリンク44、共通コネクタ端子45、末梢部45a、中間部45b、接続ポイント46および47、ヒューズピッチ間隔48、および幅48a、48bおよび48cを含んでいる。

【0047】図2は、たとえば冗長作動用ヒューズのような、ヒューズのきついピッチのアレー42が備えられた、たとえばシリコンのウェファ基板の41を持つ半導体デバイス40を示している。アレー42は複数(バンク)の片側に伸びた個別コネクタ端子43を含んでいる。このコネクタ端子は、接近して隣接された横並び配置で配置されており、そしてそれらの末端43aにおいて(示されていない)1つの回路部分に接続され、そしてそれらの中間端43bにおいて相応する複数のヒューズリンク44に接続されている。単独の共通コネクタ端子45は、たとえば個別のコネクタ端子43に横方向となる関係で対面する共通パッドまたはバスとして配置されており、そして末梢部45aにおいて(示されていない)別の回路部分に接続され、そして中間部45bにおいて、そしてそれに沿って隣接するヒューズリンク44のバンクに接続されている。ヒューズリンク44は、接続ポイント46および47において個別のコネクタ端子43と共通コネクタ端子45とを相互接続している。

【0048】個別のコネクタ端子43、ヒューズリンク44および共通コネクタ端子45は普通、多結晶シリコン、たとえばケイ化タンタムのようなケイ化金属、たとえばアルミニウムまたは銅のような金属、あるいは類似物のような電氣的に導体の層の材料によって形成され、しかもヒューズリンク44は都合よく溶解性（溶解性）でなくてはならない。個別のコネクタ端子43、ヒューズリンク44および共通コネクタ端子45の配置は、たとえば化学蒸着（CVD）またはプラズマ拡張CVD（PECVD）のような従来方法によって基板41上に設けられる。そのようにしてそれらは全体的に薄い層内で水平（2次元）方向に、そして互いに対して、そしてウェファ基板41の表面に関して共平面に伸びて、全体的にウェファ基板41の表面に平行となる。

【0049】ヒューズリンク44は、個別のコネクタ端子43の（たとえば幅48bによって限定される）通常の（最小化された）断面領域に比較して、（たとえば幅48aによって限定される）減少された断面領域であり、これによってヒューズリンク44を個別のコネクタ端子43との間の何らかの差異抵抗発熱、およびヒューズリンク44の何らかの好ましい溶解を促進する。より重要なのは、共通コネクタ端子45が、個別のコネクタ端子43に比較して、（たとえば、幅48cによって限定される、すなわち共通コネクタ端子45の走行長に等しい）明白に大きくされた（最大化された）断面領域であるということである。これによって（幅48aによって限定される）ヒューズリンク44と、（幅48cによって限定される）共通コネクタ端子45との間の最大化された差異抵抗加熱を促進し、そしてヒューズリンク44の最大化された好ましい溶解を促進する。

【0050】個別のコネクタ端子43は、普通の電氣的な導電線に比較され、そして個別の導体端子43のサイズ（幅）によってのみ制限される接近して隣接する横並び配置においてきついピッチのアレーとして複数のそのようなヒューズを含むための許容される最小サイズ（幅）である。他方、共通コネクタ端子45は、横並びとなっている、たとえば個別コネクタ端子43の並列配置（バンク）にたとえば垂直な形で、横に伸びているので、その明白に増加された（最大化された）動作断面領域（たとえばヒューズリンク44の幅48aに比較される幅48cによって限定される）は、容易にウェファ基板41の割り当てられた表面領域内に収容される。共通コネクタ端子45の長さ、個別コネクタ端子43の横並び配置のそのような横方向における広がり、に整合することができる。このため、望まれるきついヒューズピッチ間隔48（すなわち、1つの個別コネクタ端子43の中心軸から次への距離）は、妥協されることはない。

【0051】共通コネクタ端子45の断面領域は、各個別ヒューズリンク44の断面領域の少なくとも約2倍であることが望ましく、そして少なくとも約10倍である

ことが好都合であり、さらに10ボルトまたはそれ以下の電圧において電氣的溶解を可能とするためには、特に個別ヒューズリンク44の各々の断面領域の特に10倍以上を必要とする。

【0052】共通コネクタ端子45は、標準的には、電子が共通コネクタ端子からヒューズリンク44へ方向で流れているような、そこにあるヒューズリンク44がオープンとなっているときの間、個別のコネクタ端子43の1つほどには正でない電位（標準的にはグラウンド電位）に保たれている。ヒューズリンク44は、標準的には、たとえば最終ICチップ試験のような冗長作動用配線またはカスタム配線ヒューズの間には開いている。個別のコネクタ端子43およびヒューズリンク44のバンクは、標準的に、通常の冗長作動用技術においては8つの個別のコネクタ端子43およびヒューズリンク44の組の繰り返し（バイトごとに8ビットに相当する）を含んでいる。

【0053】図3を参照すると、半導体デバイスにおける冗長作動用の溶解動作のために、または他の目的のために用いることのできる、本発明による電氣的ヒューズの変更された配置の1部を示している。図3は、半導体デバイス50、ウェファ基板51、ヒューズアレー52、個別コネクタ端子53、末端53a、中間端53b、ヒューズリンク54、共通コネクタ端子55、末梢部分55a、中間部分55b、接続ポイント56および57、ヒューズピッチ間隔58、および刻み目部分59を含んでいる。

【0054】図3は、冗長作動用ヒューズのきついピッチのアレー52を備えたウェファ基板51を有する半導体デバイス50を示している。アレー52は複数の（バンク）の片側に伸びた個別のコネクタ端子53を含んでいる。コネクタ端子53は、接近して横並び配置で隣接配置されており、そしてそれらの末端53aにおいて（示されていない）1つの回路部分に接続され、そしてそれらの中間端53bにおいて相当する複数のヒューズリンク54に接続されている。単独の共通コネクタ端子55は、個別のコネクタ端子53に対向して、横向きに隣接する共通パッドまたはバスとして配置されており、そして末梢部分55aにおいて（示されていない）別の回路部分に接続され、そして中間部分55bにおいて、そしてそれに沿ってヒューズリンク54の隣接バンクに接続されている。ヒューズリンク54は、接続ポイント56および57において個別のコネクタ端子53と共通コネクタ端子55とを相互接続し、そしてヒューズピッチ間隔58を提供する。

【0055】図3の半導体デバイス50は、たとえば両側に刻み目のある（のこぎり状の）部分59が接続ポイント57に設けられて、ヒューズリンク54と共通コネクタ端子55との間の差異抵抗加熱をさらに促進し、そして特に刻み目部分59において局部的に好ましく加速

された溶融を促進させる点で、図4の半導体デバイス40と異なっているのみである。

【0056】この事例は、この時点においてはまだ十分に理解されないとしても、刻み目部分59が電子の局所的な流れを途絶させ、高い電流密度を発生させ、その結果もたらされる非一様な形状が電流密度における望ましい局所的増加を強調し、それによって最小化された動作電力において適切なヒューズリンクの加速された局所的溶融が促進されるということは信じられるであろう。図4を参照すると、図2に示された配置に類似している、本発明による電気的ヒューズの変更された両側への配置が示されている。図4は、半導体デバイス60、ウェファ基板61、ヒューズアレー62、個別のコネクタ端子63、ヒューズリンク64、共通コネクタ端子65、および接続部66および67を含んでいる。

【0057】図4は、図2に示された型式のヒューズのきついピッチでの両側アレー62を備えたウェファ基板61を有する半導体デバイス60を示している。アレー62は、ヒューズの2つの反対向きの組（バンク）を含んでおり、各々は接近して隣接した横並び配置で配置された、そして対応する複数のヒューズリンク64に接続された複数の個別コネクタ端子63を含んでいる。単独の共通コネクタ端子65は、個別のコネクタ端子63に対して対向して、横向きの関係の共通パッドまたはバスとして配置され、そしてその横に伸びる両側に、そしてそれに沿って隣接ヒューズリンク64に接続されている。ヒューズリンク64は、接続ポイント66および67において個別のコネクタ端子63および共通コネクタ端子65を相互接続する。

【0058】図4の半導体デバイス60は、ヒューズリンク64および個別のコネクタ端子63が共通コネクタ端子65の両方の側に設けられているという点だけで図2の半導体デバイス40とは異なっている。

【0059】図5を参照すると、図2に示された配置に類似の、本発明による電気的ヒューズの別の変更された両側への配置が示されている。図5は半導体デバイス70、ウェファ基板71、ヒューズアレー72、個別のコネクタ端子73、ヒューズリンク74、共通コネクタ端子75、および接続ポイント76および77を含んでいる。

【0060】図5は、図4に示された型式のヒューズがきついピッチで両側に、そして角張ったアレー72として備えられているウェファ基板71を有する半導体デバイス70を示している。アレー72は、角張った配置のヒューズの2つの反対の組（バンク）を含んでおり、各々は接近して隣接する横並び配置に配置された、そして相当する複数のヒューズリンク74に接続されている複数の個別コネクタ端子73を有している。角張った形状の単独の共通コネクタ端子75は、個別のコネクタ端子73に対向して横向きの関係にある共通パッドまたはバ

スとして配置されており、そしてその角張った側部の両側において、そしてそれに沿って隣接するヒューズリンク74に接続されている。ヒューズリンク74は接続ポイント76および77において個別のコネクタ端子73と共通コネクタ端子75とを相互接続している。

【0061】図5の半導体デバイス70は、ヒューズリンク74および個別のコネクタ端子73が角張った形状の共通コネクタ端子75の両側に設けられているという点だけで、図4の半導体デバイス60と異なっている。

【0062】図6を参照すると、図3に示された配置に類似の、本発明による電気的ヒューズのさらに変更された配置が示されている。図6は、半導体デバイス80、ウェファ基板81、ヒューズアレー82、個別のコネクタ端子83、ヒューズリンク84、共通コネクタ端子85、接続ポイント86および87、および刻み目部分89を含んでいる。

【0063】図6は、図3に示された型式のヒューズのきついピッチで3つの側に配置されたアレー82を備えるウェファ基板81を有する半導体デバイス80を示している。アレー82は、接近して隣接配置された複数の個別のコネクタ端子83を含んでおり、各々はヒューズリンク84に接続されている。逆にヒューズリンク84は、単独の共通コネクタ端子85に接続されており、すなわちその3つの側の周囲にそしてそれに沿って接続され、こうしてアレー82によって奇妙な形状の利用できる基板領域の効果的な使用を可能とする。ヒューズリンク84は、接続ポイント86および87において個別のコネクタ端子83と共通コネクタ端子85とを相互接続する。共通コネクタ端子85には、図3の刻み目部分59と類似の、そして同じ目的の、たとえば両側に備えられた、刻み目のある（のこぎり状の）部分89が備えられている。

【0064】当然、本発明の実施例のすべては、望ましい目的のためにヒューズリンクとの共通コネクタ端子接続ポイントにおいて、そのような刻み目のある部分を含むことができる。

【0065】図7および図8を参照すると、複数の絶縁層の間に包み込まれた、そして電気的接触を含む、図2の装置の1部の上面図（図7）、および図7の破線8-8を通る断面図（図8）が示されている。図7および8は、半導体デバイス40、ウェファ基板41、ヒューズアレー42、個別のコネクタ端子43、電気的接触部43c、ヒューズリンク44、共通コネクタ端子45、末梢部45a、中間部45b、電気的接触部45c、第1および第2絶縁層91および92、接触開口93および94、そして第3絶縁層95を様々に含んでいる。

【0066】図7および図8は、たとえばシリコンのウェファ基板41を持つ半導体デバイス40の1部を示している。このウェファ基板41は、たとえば蒸着された多結晶シリコンの層から形成されたヒューズアレー42

を有し、そして包み込まれた状態でヒューズリンク44に接続されている、反対側では共通コネクタ端子45に接続されている個別のコネクタ端子43を含んでいる。

【0067】より明確にすると、二酸化シリコンのような誘電材料の第1絶縁層91がウェファ基板41上に蒸着され、そして次にたとえば多結晶シリコンのヒューズ形成材料の層が第1絶縁層91の上に蒸着されてヒューズアレー42を形成する。これらは光リソグラフィマスキングおよびエッチング技術によって行われる。その後、そのような誘電材料の第2の絶縁層92が第1絶縁層91の上に蒸着され、そしてヒューズアレー42を十分に覆うようにされて、ヒューズアレー42を第1および第2絶縁層91および92の間に包み込む。

【0068】第2の絶縁層92には、次に、個別のコネクタ端子43の相当する下に横たわる部分を露出するために整列される個別の接触開口93が設けられる。第2の絶縁層92にはまた、たとえば末梢部45aの近傍に、および中間部45bからさらにあるいはわずかに遠い位置に、共通接触開口94が設けられて、共通コネクタ端子45の下に横たわる部分を露出させる。次に、個別の電気的接触部43cが個別の接触開口93内に蒸着され、相応する個別のコネクタ端子43と導電接触状態となり、そして共通電気接触部45cが共通接触開口94内に蒸着されて、共通コネクタ端子45と導電接触状態となる。最後に、第3の絶縁層95が第2絶縁層92の上に蒸着されて、ウェファ基板41上のヒューズアレー42を保護的に包み込み、そして絶縁する。

【0069】電気的接触部43cおよび45は、たとえばアルミニウムのような金属であるような適切な電気的に導体の材料で形成され、そしてヒューズアレー42のヒューズが必要に応じて特定の回路に接続されるよう設けられる。こうして、個別の電気的接触部43cは、相応する個別のコネクタ端子43を所定の回路装置の1つの部分に接触させ、一方共通電気的接触部45cは、共通コネクタ端子45を、その別の部分に従来技術方法で接続させる。

【0070】ヒューズアレー42と同様に、第1、第2および第3絶縁層91、92および95、並びに電気的接触部43cおよび45cもまた、すでに説明されたようにたとえばCVDまたはPECVDのような従来技術によって蒸着される。接触開口93および94もまた、光リソグラフィマスキングおよびエッチング動作のような従来技術によって備えられる。

【0071】図9を参照すると、たとえば図2の電気的ヒューズ装置を実現するためのダイナミックランダムアクセスメモリ(DRAM)集積回路が示されている。図9はDRAM回路101、メインメモリアレー102、冗長アレー104、ヒューズアレー106、ヒューズラッチアレー108、およびヒューズデコード回路110を含んでいる。

【0072】図9はメインメモリアレー102内の欠陥のあるメインアレー素子を都合よく置換するための冗長アレー104を有するメインメモリアレー102を含む標準的なDRAM集積回路を示している。この目的のために、図2に示された装置におけるような、複数のヒューズがヒューズアレー106に備えられて、ヒューズラッチアレー108およびヒューズデコード回路110を通して冗長アレー104に結合されている。欠陥あるメインメモリアレー素子を置換するために、ヒューズアレー106内の個別のヒューズは、従来技術に従ってデコード回路110による要求のとおり「1」または「0」のいずれかにそれらの値をセットするために破断されることができる。

【0073】動作の間においては、ヒューズアレー106内のヒューズの値は、ICのパワーアップによってヒューズラッチアレー108内にロードされる。次にそれらの値は、稼働時間の間にヒューズデコード回路110によってデコードされて、特定の不良メインメモリアレー素子を冗長アレー104の特定の冗長素子によって置換するようにさせる。冗長アレー素子によって不良メインメモリアレー素子を置換するための技術は当業技術においてよく知られている。しかしながら、本発明によれば、ウェファ基板スペースを浪費しないために、そしてマイクロチップ上のより密度の高い実装回路コンポーネントのために、図2に示されるようなきついピッチのヒューズ配置がヒューズアレー106に都合よく設けられる。

【0074】ヒューズリンク、個別のコネクタ端子および共通コネクタ端子は、約0.1~1.5ミクロン(1,000~15,000オングストローム)のような適切な層厚さで、たとえば約0.3ミクロン(3,000オングストローム)で、水平または横方向の層形式において、従来技術によってウェファ基板上に蒸着される。標準的には、ヒューズリンクは長さにおいて約4ミクロンであり、そして幅(図2の幅48aのような)において約0.2ミクロン(2,000オングストローム)であり、個別のコネクタ端子は長さにおいて約1ミクロンまたはそれ以上であり、そして幅(図2の幅48bのような)において約1ミクロン(10,000オングストローム)であり、そして共通コネクタ端子は長さにおいて、すなわち適切なヒューズリンクの長さ方向において、約2ミクロンまたはそれ以上であり、そして幅(図2の幅48cのような)において、約2ミクロンまたはそれ以上である。

【0075】たとえば、0.2ミクロンのヒューズリンク幅、および関連する共通コネクタ端子幅が2ミクロンであって、両方とも0.3ミクロン(層)厚さにおいては、0.6平方ミクロンの共通コネクタ端子断面領域は、0.06平方ミクロンのヒューズリンク断面領域の10倍である。さらに、1ミクロンの個別のコネクタ端

子幅および0.3ミクロンの(層)厚さにおいては、0.6平方ミクロンの共通コネクタ端子断面領域は0.3平方ミクロンの個別のコネクタ端子断面領域の2倍である。

【0076】そのような寸法においては、たとえば図2に示される型式の所定のヒューズリンクは、大きなコネクタにおける電流密度が約 10^8 から 10^9 アンペア/ cm^2 であるときに、標準的に約1から50mAの電流を用いて、標準的にヒューズリンク内において約 10^8 から 10^9 アンペア/ cm^2 の入力電流密度で破断させることができる。

【0077】本発明のヒューズに関して用いられる溶断電圧は、通常約1~10ボルトであり、標準的には約5ボルトであるが、しかし約0.5ボルトの低い電圧にまで用いることができる。たとえば、ヒューズリンクが多結晶シリコンまたはケイ化金属であるとき、溶断電圧は約2~6ボルトであり、そしてヒューズリンクがたとえばアルミニウムまたは銅のような金属であるとき、これは約0.5~3ボルト、または1~3ボルトである。

【0078】望ましいヒューズピッチ減少または実際に到達できる最小化されたヒューズピッチを妥協することなく、共通コネクタ端子がヒューズリンクのその約2倍またはそれ以上の、約10倍またはそれ以上あることが望ましい、断面領域を有しているため、約10ボルト以下の溶断電圧が可能である。共通の大きなバスからヒューズリンクへの断面の減少は常に大きく、すなわち2倍よりも大きいことが望ましく、そして特に10倍の減少が好都合であって、しかもヒューズピッチが反対に影響することがないように、共通コネクタ端子の共通の大きなバス、またはヒューズリンクの隣接端をグランドまで接続する電極として作用するため、ヒューズピッチは妥協されない。

【0079】共通コネクタ端子は標準的に、電子が共通コネクタ端子からヒューズリンクへの方で流れているような、そこに存在するヒューズリンクがオープンとなっているときの間には、個別のコネクタ端子の1つほどには正でない電位に保持されている。

【0080】従来においては、半導体製造は冗長素子を作動させるためにヒューズを切断するためのレーザまたはヒューズを破断させるための過電流を用いて、ウェファ基板レベルにおいて、試験時に冗長素子によって置換される欠陥あるメモリ素子または他の回路コンポーネントにより実行されていた。次にこの基板は後のステップ、たとえば切断、取り出し、種類分け、パッケージングおよびバーニンインを最終試験の前に経験する。しかしながら、それらの後ステップはチップにさらにストレスを加えることとなり、このストレスはそのポイントに固定されてはならない欠陥を生じさせることがあり、結果としてチップを欠陥のあるものとする。

【0081】DRAM ICのような大量、低マージン

生産においては、この問題を回避する何らかの手段が必要となっている。サブミクロンヒューズピッチ寸法の電氣的ヒューズを電流で破断させることは、すべてのパッケージングおよび全体的な試験が完了した後にモジュールレベルにおいて冗長回路を作動させる都合よい手段を提供する。本発明によって、望ましいピッチ減少を妥協することなく、そしてその結果実施するのにより多くの実際面積を必要としないヒューズ装置を用いて、10ボルトまたはそれ以下の低い溶断電圧で、このことが効果的に実行される。

【0082】結果として、説明された特定の実施例は単に本発明の全体的な原理を説明するためのものであることが明らかになる。これまでに述べた原理を用いると、種々の変更が考慮される。

【図面の簡単な説明】

【図1】それぞれ例えば半導体デバイスにおいて冗長作動の溶断動作のために使用される、電氣的ヒューズの3つの異なる従来技術様式を描いた上面図である。

【図2】本発明の実施例によって、例えば半導体デバイスにおける冗長作動用の溶断動作に使用される電氣的ヒューズ装置の上面図である。

【図3】図2に示された電氣的ヒューズ装置の刻み目変更された実施例の部分の上面図である。

【図4】図2に示されているヒューズ装置と類似の、さらに変更された電氣的ヒューズ装置の部分の縮小された上面図である。

【図5】図2に示されているヒューズ装置と類似の、さらに変更された電氣的ヒューズ装置の部分の縮小された上面図である。

【図6】図3に示されたヒューズ装置と類似の、さらに変更された電氣的ヒューズ装置の部分の縮小された上面図である。

【図7】特定の詳細を説明するために部分的に分解した、複数の絶縁層間に包み込まれた、そして電氣的接触を含む、図2に示された装置の部分の拡大された上面図である。

【図8】図7の破線8-8に沿って切り取られた垂直断面図である。

【図9】本発明によって電氣的ヒューズ装置を実現したダイナミックランダムアクセスメモリ(DRAM)集積回路の概略ブロック図である。

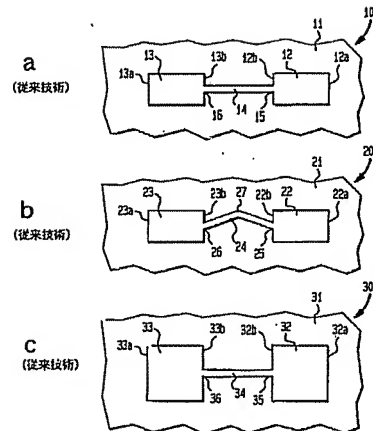
【符号の説明】

- 10 半導体デバイス
- 11 ウェファ基板
- 12, 13 コネクタ端子
- 14 ヒューズリンク
- 15, 16 接続ポイント
- 20 半導体デバイス
- 21 ウェファ基板
- 22, 23 コネクタ端子

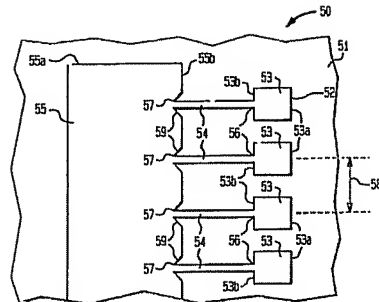
24 ヒューズリンク
25, 26 接続ポイント
27 頂点部分
30 半導体デバイス
31 ウェファ基板
32, 33 コネクタ端子
34 ヒューズリンク
35, 36 接続ポイント
40 半導体デバイス
41 ウェファ基板
42 ヒューズアレー
43 個別コネクタ端子
44 ヒューズリンク
45 共通コネクタ端子
46, 47 接続ポイント
48 ヒューズビッチ間隔
50 半導体デバイス
51 ウェファ基板
52 ヒューズアレー
53 個別コネクタ端子
54 ヒューズリンク
55 共通コネクタ端子
56, 57 接続ポイント
58 ヒューズビッチ間隔
59 刻み目部分
60 半導体デバイス
61 ウェファ基板
62 ヒューズアレー

63 個別のコネクタ端子
64 ヒューズリンク
65 共通コネクタ端子
66, 67 接続部
70 半導体デバイス
71 ウェファ基板
72 ヒューズアレー
73 個別のコネクタ端子
74 ヒューズリンク
75 共通コネクタ端子
76, 77 接続ポイント
80 半導体デバイス
81 ウェファ基板
82 ヒューズアレー
83 個別のコネクタ端子
84 ヒューズリンク
85 共通コネクタ端子
86, 87 接続ポイント
89 刻み目部分
91, 92 絶縁層
93, 94 接触開口
95 絶縁層
101 DRAM回路
102 メインメモリアレー
104 冗長アレー
106 ヒューズアレー
108 ヒューズラッチアレー
110 ヒューズデコード回路

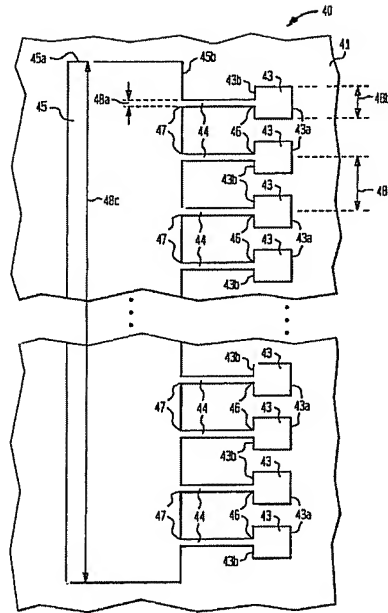
【図1】



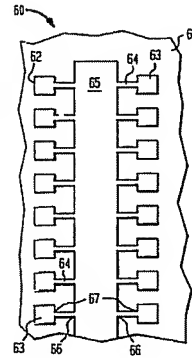
【図3】



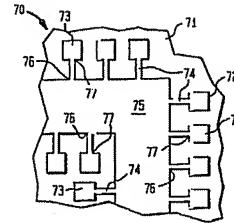
【図2】



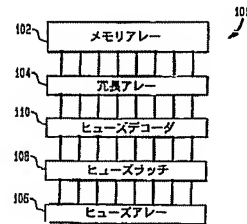
【図4】



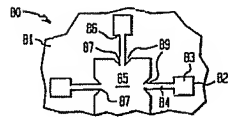
【図5】



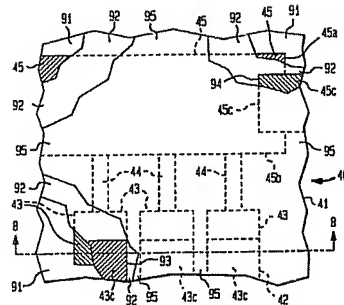
【図9】



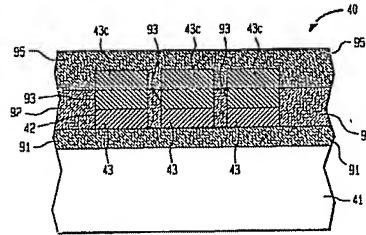
【図6】



【図7】



【図8】



フロントページの続き

(71)出願人 594145404
インターナショナル ビジネス マシー
ズ コーポレーション
アメリカ合衆国ニューヨーク州 10504
ニューヨーク アーモンク オールド
オーチャード ロード (番地なし)
(72)発明者 チャンドラセクハール ナラヤン
アメリカ合衆国 ニューヨーク ホープウ
エル ジャンクション ケンジントン ド
ライヴ 62

(72)発明者 アクセル プリンツィンガー
アメリカ合衆国 ニューヨーク フィッ
シュキル アスペン コート 20
(72)発明者 ガブリエル . ダニエル
アメリカ合衆国 ニューヨーク ジャマイ
カ エステイツ エイティス ロード
185-39
(72)発明者 フレッド アインスブラッチ
アメリカ合衆国 ニューヨーク スパロー
ブッシュ ビーンバック トレイル 719
イー

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP2000091438 (A)

Publication date: 2000-03-31

Inventor(s): NARAYAN CHANDRASEKHAR; BRINTZINGER AXEL; DANIEL GABRIEL; EINSPRUCH FRED + (NARAYAN CHANDRASEKHAR, ; BRINTZINGER AXEL, ; DANIEL GABRIEL, ; EINSPRUCH FRED)

Applicant(s): SIEMENS AG; IBM + (SIEMENS AG, ; INTERNATL BUSINESS MACH CORP <IBM>)

Classification:

- international: G11C29/04; H01L21/82; H01L21/8242; H01L23/525; H01L27/00; H01L27/108; G11C29/04; H01L21/70; H01L23/52; H01L27/00; H01L27/108; (IPC1-7): G11C29/00; H01L21/82; H01L21/8242; H01L27/108

- european: H01L23/525F

Application number: JP19990238606 19990825

Priority number(s): US19980140573 19980826

Abstract of JP 2000091438 (A)

PROBLEM TO BE SOLVED: To enable electrical fusion at the voltage of a specific value by connecting a fuse link at its one end with an individual connector terminal having a sectional region larger than its sectional region, and by connecting the fuse link at its other end with a common connector terminal having a sectional region which is larger than that of the sectional region of the individual connector terminal. **SOLUTION:** A semiconductor device 40 includes a board 41, on whose surface there is provided a redundant operating wiring, including many fuse-links 44 or a fuse bank used as a severe pitch array 42 for custom wirings.; The fuse link 44 is connected at its one end with an individual connector terminal 43, having a sectional region about twice as large as its sectional region to be connected at its other end, with a common connector terminal 45 having a sectional region about twice as large as that of the individual connector terminal 43. As a result, heating caused by the maximized resistance difference between the fuse link 44 and the common connector terminal 45 is promoted to make possible electrical fusion at a voltage of about 10 V.